

Layout

Advanced Processing Unit für die Bildverarbeitung

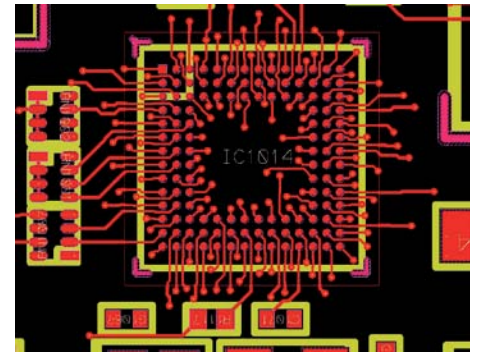


CiBOARD

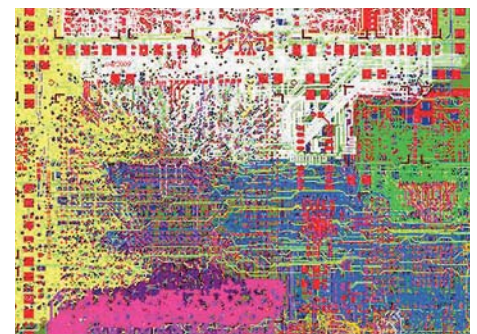
- FPGA-CPU-BOARD
- HighSpeed-Differential Pairs
- HDI/SBU-Technik

Beschreibung:

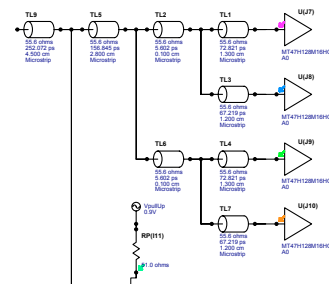
- Hochkompaktes FPGA-CPU-Board als zentrale Baugruppe in einem mobilen Kamerasystem
- Hauptfunktion ist die Korrektur von Pixeldaten in einem FPGA, die über PCI-Bus und RGMII angebundene CPU dient als Steuer- und Coprozessor mit eigenem USB- und Gigabit-Ethernet-Interface
- Data-In und Data-Out mit 32 Gigabit-MGT-Differential-Pairs und 64 LVDS-Pairs (Datendurchsatz permanent ca. 50 GBit/s)
- insgesamt ca. 200 Diff.-Pairs mit HighSpeed-Vorgaben
- FPGA Virtex5 (BGA1738) mit zwei getrennten 128 Bit-breiten DDR2-Bänken (16x BGA84 auf TOP+BOT) inkl. optimaler Terminierung und jeweils eigener Clock-Verteilung
- PowerPC-CPU (BGA516) mit eigener DDR2-Speicherbank (2x BGA84)
- Support-Logik im Flash-FPGA (MicroBGA132 im 0,5 mm-Raster)
- Stromversorgungssystem mit 12 V Eingangsspannung und 4 Schaltreglermodulen (max. 3V 3/12 A, 2V 5/12 A, 1V 8/12 A, 1 V/12 A)
- 22-Lagen Multilayer - HighDensity-SequentialBuildUp (impedance controlled) etwas kleiner als Europakarten-Größe
- innerer Lagenaufbau mit zwei getrennten 10-Lagen-Cores für optimale Signalintegrität durch minimale Via-Stubs
- Microvia-Design in Abstimmung mit mehreren Leiterplattenherstellern



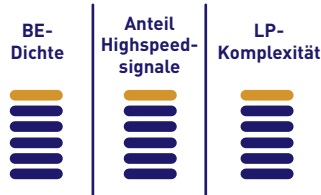
µBGA mit 0,5 mm Pitch



Ansicht Netzklassen unter dem FPGA



Ausschnitt zur Simulation einer Adressleitung



Layout:

Lagenaufbau:	22 Lagen HDI/SBU, 1 - [(1-9)dk - (9-1)dk] dk - 1
Größe Leiterplatte :	140 x 100 mm, 2,8 mm dick
Anzahl Bauelemente :	1.734 (27x BGA/LGA; 12x QFN; passive: 0402)
Anzahl Pins:	9.948
Bedeckungsgrad:	54 % (beidseitige Bestückung)
Anzahl Verbindungen:	7.709
Leiterbahnbreite:	100 µm (Bereich µBGA 70 µm)
Leiterbahnlänge gesamt:	67 m
Durchkontaktierungen:	15.915 (ca. 114/cm ²)
EDA-System:	DxD2005-PADS2007-EXPEDITION2005 (Mentor Graphics)



Lagenaufbau



Layout

Advanced Processing Unit für die Bildverarbeitung



CiBOARD

Entwicklungsstufen:

Projektbetreuung

Schaltungsentwicklung

Bibliothekspflege

- Übernahme der Bauelemente aus DXD-PADS in DxD-EXPEDITION2005
- Erstellung neuer Footprints unter EXPEDITION
- Bereitstellung alternativer Bauformen

Leiterplatten-Layout

- Vorab-Platzierung auf Kundensystem PADS
- Simulation kritischer Signalpfade (LVDS+MGT+DDR2)
- Konvertierung des Layouts in EXPEDITION2005
- aufwändiges Stromversorgungssystem mit Filterung on board
- Optimierung des Lagenaufbaus mit max. Anzahl von Impedanz-Kanälen, komplexer HDI-Aufbau
- Abstimmung des Layouts mit mehreren Herstellern

Leiterplatten-Herstellung

Bestückung

Test

Inbetriebnahme

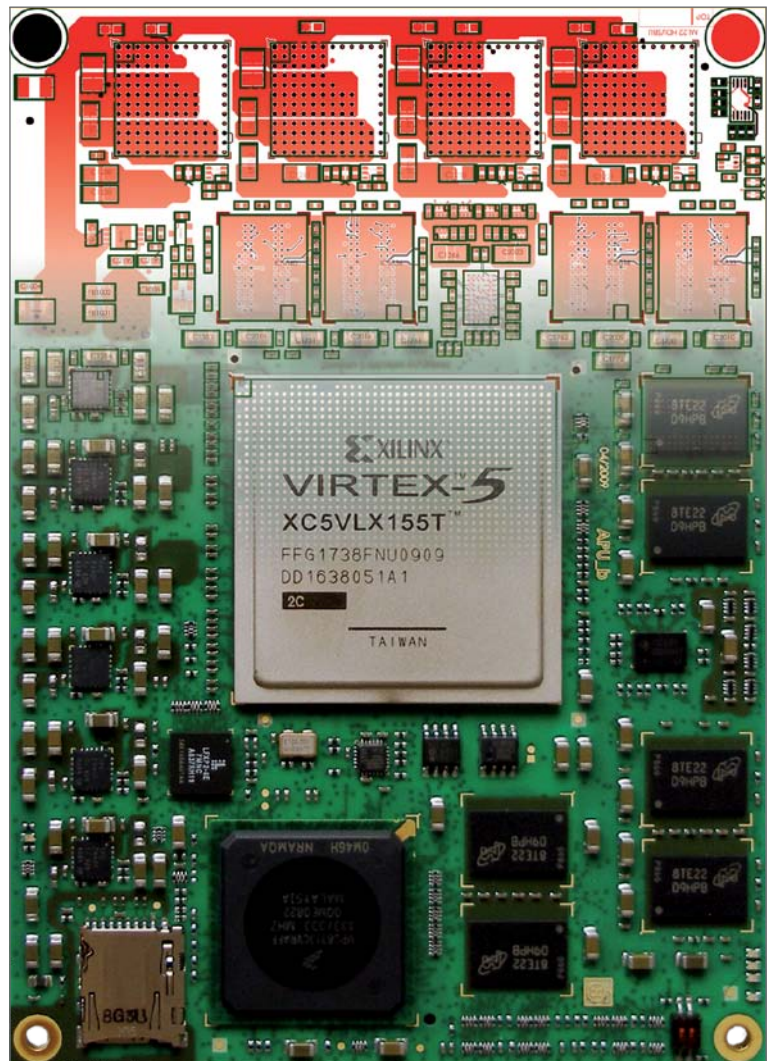


Abbildung in Originalgröße

Die Inbetriebnahme gelang auch hier trotz der extremen elektrischen und mechanischen Vorgaben im ersten Durchlauf. Die nun auf kleinem Raum verfügbare Rechenleistung ermöglichte den Entwicklern und Projektpartnern den Test neuer Sensoren, unterstützte den Entwurf der dazugehörigen schnellen Korrekturalgorithmen und erleichterte den Aufbau mobiler Bildverarbeitungssysteme einer neuen Leistungsklasse.

**Anspruchsvolle Vorgaben
erfordern Spezialisten:
Fordern Sie uns!**

Mit diesem Design bewarben wir uns 2009 beim international ausgetragenen Leiterplattendesign-Wettbewerb **PCB Technology Leadership Awards** der Firma Mentor Graphics.

Das Layout überzeugte die Jury, sodass wir nach unserem zweiten Platz im Vorjahr diesmal als **Sieger in der Kategorie Industrielle Steuerungen, Instrumente, Sicherheitssysteme und Medizintechnik** hervorgingen.

